

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-331837

(43)公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>8</sup>

識別記号

FI

H O 4 N 7/24  
1/41

H O 4 N 7/13  
1/41

Z  
B

審査請求 有 請求項の数15 O L (全 14 頁)

(21)出願番号 特願平10-126090

(22)出願日 平成10年(1998)5月8日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 小林 裕

東京都港区芝五丁目7番1号 日本電気株式会社内

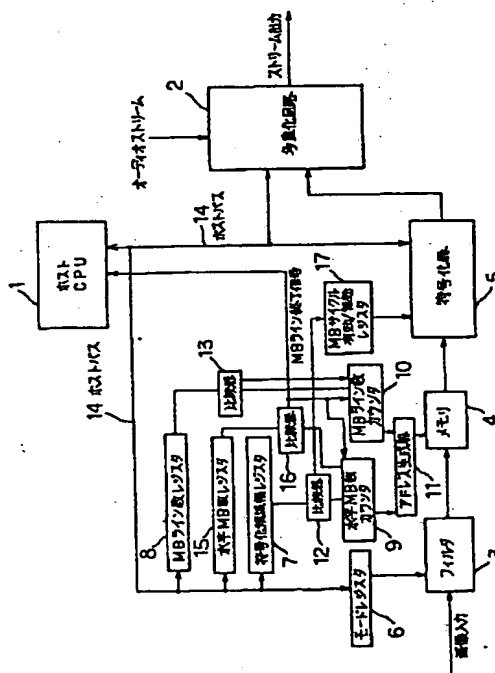
(74)代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 画像符号化制御回路及び画像符号化制御方法

(57) 【要約】

【課題】 水平1/2間引きフォーマットを符号化する場合においてもホストCPUにて必要な処理を全て行う。

【解決手段】 1つのマクロブロックラインの符号化が終了した場合においても、水平MB数カウンタ9にて計測されたマクロブロック数が水平MB数レジスタ15に設定された、標準フォーマットの1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数と等しくなるまで次のマクロブロックラインの符号化が行われないようにする。



1

## 【特許請求の範囲】

【請求項1】 入力された画像データを符号化する符号化手段と、該符号化手段にて符号化された画像データの水平方向のマクロブロック数を計測する第1のカウンタとを有し、該第1のカウンタにて計測されたマクロブロック数に基づいてマクロブロックの符号化サイクルを制御する画像符号化制御回路であって、  
前記第1のカウンタにて計測されたマクロブロック数と符号化を行う領域の水平方向のマクロブロック数とを比較する第1の比較手段と、  
該第1の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、前記符号化手段における画像データの符号化を無効とする有効／無効手段と、  
前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とを比較する第2の比較手段とを有し、  
該第2の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とが一致した場合、次のマクロブロックラインの符号化を行うことを特徴とする画像符号化制御回路。

【請求項2】 請求項1に記載の画像符号化制御回路において、  
前記符号化を行う領域の水平方向のマクロブロック数を設定する第1の格納手段手段を有し、  
前記第1の比較手段は、前記第1のカウンタにて計測されたマクロブロック数と前記第1の格納手段に設定されたマクロブロック数とを比較することを特徴とする画像符号化制御回路。

【請求項3】 請求項1または請求項2に記載の画像符号化制御回路において、  
前記1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数を設定する第2の格納手段手段を有し、  
前記第2の比較手段は、前記第1のカウンタにて計測されたマクロブロック数と前記第2の格納手段に設定されたマクロブロック数とを比較することを特徴とする画像符号化制御回路。

【請求項4】 請求項1乃至3のいずれか1項に記載の画像符号化制御回路において、  
前記符号化手段にて符号化された画像データのマクロブロックライン数を計測する第2のカウンタと、  
該第2のカウンタにて計測されたマクロブロックライン数と符号化を行う領域のマクロブロックライン数とを比較する第3の比較手段とを有し、  
該第3の比較手段における比較結果が、前記第2のカウ

2

ンタにて計測されたマクロブロックライン数と符号化を行うマクロブロックライン数とが一致した場合、当該画像データの符号化を終了することを特徴とする画像符号化制御回路。

【請求項5】 請求項4に記載の画像符号化制御回路において、  
前記符号化を行う領域のマクロブロックライン数を設定する第3の格納手段手段を有し、  
前記第3の比較手段は、前記第2のカウンタにて計測されたマクロブロックライン数と前記第3の格納手段に設定されたマクロブロックライン数とを比較することを特徴とする画像符号化制御回路。

【請求項6】 入力された画像データを複数の処理ブロック毎に符号化する符号化手段と、該符号化手段にて符号化された画像データの水平方向のマクロブロック数を計測する第1のカウンタとを有し、該第1のカウンタにて計測されたマクロブロック数に基づいてマクロブロックの符号化サイクルを制御する画像符号化制御回路であって、

前記第1のカウンタにて計測されたマクロブロック数と符号化を行う領域の水平方向のマクロブロック数とを比較する第1の比較手段と、  
該第1の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、前記符号化手段における画像データの符号化を前記処理ブロック毎に無効とする複数の有効／無効手段と、  
前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とを比較する第2の比較手段とを有し、  
該第2の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とが一致した場合、次のマクロブロックラインの符号化を行うことを特徴とする画像符号化制御回路。

【請求項7】 請求項6に記載の画像符号化制御回路において、  
前記符号化手段は、画像データの符号化処理を、画像データのマクロブロックライン単位で前記処理ブロック毎に順次行うことを特徴とする画像符号化制御回路。

【請求項8】 請求項6または請求項7に記載の画像符号化制御回路において、  
前記符号化を行う領域の水平方向のマクロブロック数を設定する第1の格納手段手段を有し、  
前記第1の比較手段は、前記第1のカウンタにて計測されたマクロブロック数と前記第1の格納手段に設定されたマクロブロック数とを比較することを特徴とする画像符号化制御回路。

3

【請求項 9】 請求項 6 乃至 8 のいずれか 1 項に記載の画像符号化制御回路において、

前記 1 つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数を設定する第 2 の格納手段を有し、

前記第 2 の比較手段は、前記第 1 のカウンタにて計測されたマクロブロック数と前記第 2 の格納手段に設定されたマクロブロック数とを比較することを特徴とする画像符号化制御回路。

【請求項 10】 請求項 6 乃至 9 のいずれか 1 項に記載の画像符号化制御回路において、

前記符号化手段にて符号化された画像データのマクロブロックライン数を計測する第 2 のカウンタと、

該第 2 のカウンタにて計測されたマクロブロックライン数と符号化を行う領域のマクロブロックライン数とを比較する第 3 の比較手段とを有し、

該第 3 の比較手段における比較結果が、前記第 2 のカウンタにて計測されたマクロブロックライン数と符号化を行うマクロブロックライン数とが一致した場合、当該画像データの符号化を終了することを特徴とする画像符号化制御回路。

【請求項 11】 請求項 10 に記載の画像符号化制御回路において、

前記符号化を行う領域のマクロブロックライン数を設定する第 3 の格納手段を有し、

前記第 3 の比較手段は、前記第 2 のカウンタにて計測されたマクロブロックライン数と前記第 3 の格納手段に設定されたマクロブロックライン数とを比較することを特徴とする画像符号化制御回路。

【請求項 12】 請求項 1 乃至 11 のいずれか 1 項に記載の画像符号化制御回路において、

前記有効／無効手段は、前記第 1 のカウンタにてマクロブロック数の計測が開始される際、前記符号化手段における画像データの符号化を有効とすることを特徴とする画像符号化制御回路。

【請求項 13】 入力された画像データを符号化する際に、符号化された画像データの水平方向のマクロブロック数を計測し、計測されたマクロブロック数に基づいてマクロブロックの符号化サイクルを制御する画像符号化制御方法であって、

計測されたマクロブロック数と符号化を行う領域の水平方向のマクロブロック数とを比較し、

該比較結果が、計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、画像データの符号化を無効とし、

計測されたマクロブロック数と 1 つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とを比較し、

該比較結果が、計測されたマクロブロック数と 1 つのマクロブロックラインの画像データを符号化するために必

4

要となる時間で符号化されるマクロブロック数とが一致した場合、次のマクロブロックラインの符号化を行うことを特徴とする画像符号化制御方法。

【請求項 14】 請求項 13 に記載の画像符号化制御方法において、

符号化された画像データのマクロブロックライン数を計測し、

計測されたマクロブロックライン数と符号化を行う領域のマクロブロックライン数とを比較し、

10 該比較結果が、計測されたマクロブロックライン数と符号化を行うマクロブロックライン数とが一致した場合、当該画像データの符号化を終了することを特徴とする画像符号化制御方法。

【請求項 15】 請求項 13 または請求項 14 に記載の画像符号化制御方法において、

前記マクロブロック数の計測が開始される際、前記画像データの符号化を有効とすることを特徴とする画像符号化制御方法。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、画像符号化制御回路及び画像符号化制御方法に関し、特に、画像データの水平方向画素数を約 1/2 に間引いた画像を符号化する際の処理サイクルを制御する画像符号化制御回路及び画像符号化制御方法に関する。

【0002】

【従来の技術】画像データの水平方向画素数を約 1/2 に間引いた画像（以下、水平 1/2 間引きフォーマットと称する）は、水平方向の画像データを 1/2 に間引くことにより画素データの数を元の画像の約半分に減らせるため、データの圧縮率を高くすることができる。また、画素データの数が元の画像の約半分となるにも関わらず、標準フォーマットと比べて画質があまり劣化しないため、有効な圧縮方法としてしばしば用いられている。

【0003】デジタル動画画像符号化（圧縮）、音響符号化及びその多重・分離方法についての国際標準である MPEG 方式のビデオエンコードにおいて、水平 1/2 間引きフォーマットを符号化する場合、例えば、NTSC 方式のビデオ画像を符号化する場合、間引きを行わない標準フォーマットでは水平 720 画素×垂直 480 ラインの画像となり、水平 1/2 間引きフォーマットでは水平 352 画素×垂直 480 ラインの画像となる。

40 【0004】この水平 1/2 間引きフォーマットを符号化する場合、16×16 画素からなるマクロブロック（以下、MB と称する）水平方向 1 列分である 1 MB ラインを符号化する時間（以下、MB ライン処理時間と称する）は、水平方向の MB 数が間引きを行わない標準フォーマットと比べて約 1/2 であるため、標準フォーマットを符号化する場合の半分の時間となる。

50

5

【0005】一方で画像信号においては、その画像の複雑さや動きの激しさによって情報の発生量が変動するが、この変動を吸収し、一定の伝送速度で伝送するために、発生符号量を制御する必要がある。発生符号量の制御は、MBを離散コサイン変換（以下、DCTと称する）して得られる変換係数を量子化する際に用いられる量子化スケールを調整することにより行われる。

【0006】量子化スケールの調整は、MPEGビデオエンコーダにてMBラインの符号化が行われている間に、ホストCPUにおいて次のMBラインの量子化スケールが計算されることにより行われている。

【0007】図6は、従来の画像符号化制御回路の一構成例を示すブロック図である。

【0008】本従来例は図6に示すように、水平1/2間引きフォーマットか標準フォーマットかを指定するモードレジスタ5と、画面内で符号化する領域のMB数を16画素単位で設定する符号化領域幅レジスタ7と、符号化する領域のMBライン数を16ライン単位で設定するMBライン数レジスタ8と、符号化された水平方向のMB数を計測する水平MB数カウンタ9と、符号化されたMBライン数を計測するMBライン数カウンタ10と、水平MB数カウンタ9にて計測されたMB数及びMBライン数カウンタ10にて計測されたMBライン数に基づいてアドレスを生成するアドレス生成器11と、符号化領域幅レジスタ7に設定されたMB数と水平MB数カウンタ9にて計測されたMB数とを比較する比較器12と、MBライン数レジスタ8にて設定されたMBライン数とMBライン数カウンタ10にて計測されたMBライン数とを比較する比較器13と、画像データが入力され、入力された画像データをモードレジスタ6にて指定されたフォーマットに基づいた画像サイズに変換するフィルタ3と、フィルタ3にて画像サイズが変換された画像データを一時記憶し、アドレス生成器27にて生成されたアドレスに基づいて、記憶された画像データを出力するメモリ4と、メモリ4から出力された画像データを符号化し、ビデオストリームとして出力する符号化器5と、符号化器5から出力されたビデオストリームと外部から入力されるオーディオストリームとを多重化して出力する多重化回路2と、モードレジスタ6、符号化領域幅レジスタ7、MBライン数レジスタ8、符号化器5及び多重化回路2とホストバス14により接続され、MBライン毎に符号化処理を行うとともに回路全体の制御を行うホストCPU1とから構成されている。

【0009】以下に、上記のように構成された画像符号化制御回路の動作について説明する。

【0010】まず、ホストCPU1の制御により、符号化領域幅レジスタ7内に、水平1/2間引きフォーマットの場合は水平1/2間引きフォーマットの符号化領域幅のMB数が、標準フォーマットの場合は標準フォーマットの符号化領域幅のMB数がそれぞれ設定される。

6

【0011】MBの符号化処理が開始すると、水平ラインMB数カウンタ9において、符号化されたMB数が計測される。

【0012】水平ラインMB数カウンタ9にて計測されたMB数は比較器12に入力され、比較器12において、符号化領域幅レジスタ7に設定されたMB数と比較され、水平ラインMB数カウンタ9にて計測されたMB数が符号化領域幅レジスタ7に設定されたMB数に達した場合、比較器12からホストCPU1に対してMBライン終了信号が出力される。

【0013】その後、次のMBラインの符号化処理が上記同様に行われる。

【0014】一方、ホストCPU1においては、回路全体の制御が行われている。

【0015】

【発明が解決しようとする課題】上述したような従来の画像符号化制御回路においては、水平1/2間引きフォーマットを符号化する場合、そのMBライン処理時間は、水平方向のMB数が間引きを行わない標準フォーマットと比べて約1/2であるため、標準フォーマットを符号化する場合の半分の時間となる。

【0016】ここで、ホストCPU1においては、MBラインの符号化処理以外に、例えば発生符号量を制御したり、ホストバスを使用して多重化回路を制御することで、ビデオストリーム及びオーディオストリームとヘッダ情報とをつなぎ合わせてストリームを作成する等の回路全体の制御が行われており、その制御に費やされる時間は、水平間引きフォーマットを符号化する場合と標準フォーマットを符号化する場合とで等しい。

【0017】そのため、水平1/2間引きフォーマットを符号化する場合、1つのMBライン処理時間内にそのMBラインについて上述した全ての制御を行うことができなくなる虞れがある。

【0018】図7は、図6に示した画像符号化制御回路における処理のタイミングを示す図である。

【0019】図7に示すように、図6に示したような画像符号化制御回路においては、1つのMBラインの符号化処理が終了した後、すぐに次のMBラインの符号化処理が行われている。そのため、水平1/2間引きフォーマットを符号化する場合、1つのMBラインについて発生符号量の制御等の処理を行うために許される時間が、標準フォーマットを符号化する場合と比べて約半分になってしまっている。

【0020】以下に、MBライン内における処理速度が16ビット/10MHzのホストCPUを使用した場合の各処理時間の一例を説明する。

【0021】NTSC画像入力においては、1枚のフレームは、MBライン数が30MBラインで、フレームレートが約30枚/秒であるため、標準フォーマットの符号化処理に費やされる時間は、1MBライン（45M

7

B) あたり最大1080 $\mu$ secとなる。

【0022】標準フォーマットで1MBライン約1000 $\mu$ secの処理時間が費やされるため、水平1/2間引きフォーマットの符号化処理に費やされる時間は、1MBライン約500 $\mu$ secとなる。

【0023】また、ホストCPUにおいて発生符号量を制御するために1MBライン間に行われる計算処理においては、約200 $\mu$ secの時間が必要となる。

【0024】また、ビットレートが15Mbpsのプログラムストリームの場合、12kbyt/パケットであるため、1MBラインあたり約1パケット作成する必要がある、ホストCPUにおいて1パケットを作成するために費やされる時間は合計約250 $\mu$ secとなる。

【0025】また、オーディオ符号化条件が、Layer IIのビットレートが384kbpで周波数が48kHzである場合、約150 $\mu$ sec毎にオーディオデータを転送するのにホストCPUにおいて約20 $\mu$ secの処理時間が必要となる。500 $\mu$ sec間では最大で4回この処理が発生する。

【0026】よって、ホストCPUにおいては、符号量制御、パケット作成及びオーディオ処理を全て行うために約530 $\mu$ secの時間が必要となり、水平1/2間引きフォーマットを符号化する場合、上述した処理に費やされる時間は1MBラインの符号化処理に費やされる時間を超えてしまい、全ての処理を行うことができなくなってしまう。

【0027】また、水平1/2間引きフォーマットにおいて上述した処理を全て行うためには、処理速度が高速なホストCPUを用いなければならず、その場合、コストアップが生じてしまうという問題点がある。

【0028】本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、水平1/2間引きフォーマットを符号化する場合においてもホストCPUにて必要な処理を全て行うことができる画像符号化制御回路及び画像符号化制御方法を提供することを目的とする。

【0029】

【課題を解決するための手段】上記目的を達成するために本発明は、入力された画像データを符号化する符号化手段と、該符号化手段にて符号化された画像データの水平方向のマクロブロック数を計測する第1のカウンタとを有し、該第1のカウンタにて計測されたマクロブロック数に基づいてマクロブロックの符号化サイクルを制御する画像符号化制御回路であって、前記第1のカウンタにて計測されたマクロブロック数と符号化を行う領域の水平方向のマクロブロック数とを比較する第1の比較手段と、該第1の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、前記符号化手段における画像データの符号化を無効

8

とする有効/無効手段と、前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とを比較する第2の比較手段とを有し、該第2の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とが一致した場合、次のマクロブロックラインの符号化を行うことを特徴とする。

【0030】また、前記符号化を行う領域の水平方向のマクロブロック数を設定する第1の格納手段を有し、前記第1の比較手段は、前記第1のカウンタにて計測されたマクロブロック数と前記第1の格納手段に設定されたマクロブロック数とを比較することを特徴とする。

【0031】また、前記1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数を設定する第2の格納手段を有し、前記第2の比較手段は、前記第1のカウンタにて計測されたマクロブロック数と前記第2の格納手段に設定されたマクロブロック数とを比較することを特徴とする。

【0032】また、前記符号化手段にて符号化された画像データのマクロブロックライン数を計測する第2のカウンタと、該第2のカウンタにて計測されたマクロブロックライン数と符号化を行う領域のマクロブロックライン数とを比較する第3の比較手段とを有し、該第3の比較手段における比較結果が、前記第2のカウンタにて計測されたマクロブロックライン数と符号化を行うマクロブロックライン数とが一致した場合、当該画像データの符号化を終了することを特徴とする。

【0033】また、前記符号化を行う領域のマクロブロックライン数を設定する第3の格納手段を有し、前記第3の比較手段は、前記第2のカウンタにて計測されたマクロブロックライン数と前記第3の格納手段に設定されたマクロブロックライン数とを比較することを特徴とする。

【0034】また、入力された画像データを複数の処理ブロック毎に符号化する符号化手段と、該符号化手段にて符号化された画像データの水平方向のマクロブロック数を計測する第1のカウンタとを有し、該第1のカウンタにて計測されたマクロブロック数に基づいてマクロブロックの符号化サイクルを制御する画像符号化制御回路であって、前記第1のカウンタにて計測されたマクロブロック数と符号化を行う領域の水平方向のマクロブロック数とを比較する第1の比較手段と、該第1の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、前記符号化手段にお

9

ける画像データの符号化を前記処理ブロック毎に無効とする複数の有効／無効手段と、前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とを比較する第2の比較手段とを有し、該第2の比較手段における比較結果が、前記第1のカウンタにて計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とが一致した場合、次のマクロブロックラインの符号化を行うことを特徴とする。

【0035】また、前記符号化手段は、画像データの符号化処理を、画像データのマクロブロックライン単位で前記処理ブロック毎に順次行うことを特徴とする。

【0036】また、前記有効／無効手段は、前記第1のカウンタにてマクロブロック数の計測が開始される際、前記符号化手段における画像データの符号化を有効とすることを特徴とする。

【0037】また、入力された画像データを符号化する際に、符号化された画像データの水平方向のマクロブロック数を計測し、計測されたマクロブロック数に基づいてマクロブロックの符号化サイクルを制御する画像符号化制御方法であって、計測されたマクロブロック数と符号化を行う領域の水平方向のマクロブロック数とを比較し、該比較結果が、計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、画像データの符号化を無効とし、計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とを比較し、該比較結果が、計測されたマクロブロック数と1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とが一致した場合、次のマクロブロックラインの符号化を行うことを特徴とする。

【0038】また、符号化された画像データのマクロブロックライン数を計測し、計測されたマクロブロックライン数と符号化を行う領域のマクロブロックライン数とを比較し、該比較結果が、計測されたマクロブロックライン数と符号化を行うマクロブロックライン数とが一致した場合、当該画像データの符号化を終了することを特徴とする。

【0039】また、前記マクロブロック数の計測が開始される際、前記画像データの符号化を有効とすることを特徴とする。

【0040】（作用）上記のように構成された本発明においては、入力された画像データが符号化される際、第1のカウンタにおいて、符号化された画像データの水平方向のマクロブロック数が計測され、計測されたマクロブロック数が、第1の比較手段において、符号化を行う領域の水平方向のマクロブロック数と、また、第2の比

10

較手段において、標準フォーマットにて1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とそれぞれ比較される。ここで、第1の比較手段における比較結果が、第1のカウンタにて計測されたマクロブロック数が符号化を行う領域の水平方向のマクロブロック数以上となった場合、有効／無効手段において、画像データの符号化が無効とされ、それにより、画像データの符号化が行われないようになる。また、第2の比較手段における比較結果が、第1のカウンタにて計測されたマクロブロック数と標準フォーマットにて1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数とが一致した場合、そのマクロブロックラインの符号化が終了したと判断され、次のマクロブロックラインの符号化が行われる。

【0041】このように、1つのマクロブロックラインの符号化が終了した場合においても、第1のカウンタにて計測されたマクロブロック数が標準フォーマットの1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数と等しくなるまで次のマクロブロックラインの符号化が行われないので、画像サイズによらずにマクロブロックラインの符号化のサイクルが一定となり、水平1/2間引きフォーマットの符号化を行う場合においても、マクロブロックラインの符号化のサイクルが短くなるということがない。

【0042】それにより、水平1/2間引きフォーマットの符号化を行う場合においても、ホストCPUにて必要な処理を行うことができなくなることはない。

【0043】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0044】（第1の実施の形態）図1は、本発明の画像符号化制御回路の第1の実施の形態を示すブロック図である。

【0045】本形態は図1に示すように、水平1/2間引きフォーマットか標準フォーマットかを指定するモードレジスタ5と、画面内で符号化する領域のMB数を16画素単位で設定する第1の格納手段である符号化領域幅レジスタ7と、符号化する領域のMBライン数を16ライン単位で設定する第3の格納手段であるMBライン数レジスタ8と、1MBラインの処理時間で処理する総MB数を設定する第2の格納手段である水平MB数レジスタ15と、符号化された水平方向のMB数を計測する第1の計測手段である水平MB数カウンタ9と、符号化されたMBライン数を計測する第2の計測手段であるMBライン数カウンタ10と、水平MB数カウンタ9にて計測されたMB数及びMBライン数カウンタ10にて計測されたMBライン数に基づいてアドレスを生成するアドレス生成器11と、符号化領域幅レジスタ7に設定さ

11

れたMB数と水平MB数カウンタ9にて計測されたMB数とを比較する第1の比較手段である比較器12と、水平MB数レジスタ15に設定されたMB数と水平MB数カウンタ9にて計測されたMB数とを比較する第2の比較手段である比較器16と、MBライン数レジスタ8にて設定されたMBライン数とMBライン数カウンタ10にて計測されたMBライン数とを比較する第3の比較手段である比較器13と、画像データが入力され、入力された画像データをモードレジスタ6にて指定されたフォーマットに基づいた画像サイズに変換するフィルタ3と、フィルタ3にて画像サイズが変換された画像データを一時記憶し、アドレス生成器27にて生成されたアドレスに基づいて、記憶された画像データを出力するメモリ4と、メモリ4から出力された画像データを符号化し、ビデオストリームとして出力する符号化器5と、比較器12における比較結果に基づいて符号化器5における符号化を有効または無効とするMBサイクル有効/無効レジスタ17と、符号化器5から出力されたビデオストリームと外部から入力されるオーディオストリームとを多重化して出力する多重化回路2と、モードレジスタ6、符号化領域幅レジスタ7、MBライン数レジスタ8、符号化器5及び多重化回路2とホストバス14により接続され、MBライン毎に符号化処理を行うとともに回路全体の制御を行うホストCPU1とから構成されている。

【0046】以下に、上記のように構成された画像符号化制御回路の動作について説明する。

【0047】図2は、図1に示した画像符号化制御回路の動作を説明するためのフローチャートであり、図3は、図2に示した動作のタイミングを示す図である。

【0048】まず、標準フォーマットの画像を符号化する場合の動作について説明する。

【0049】符号化を開始する前にホストCPU1の制御によって、ホストバス14を介してモードレジスタ6が標準フォーマットモードに設定される。また、符号化領域幅レジスタ7に標準フォーマットの符号化領域のMB数が設定され、また、MBライン数レジスタ8に符号化する領域のMBライン数が設定され、また、水平MB数レジスタ15に標準フォーマットの1MBラインに含まれる総MB数が設定される。標準フォーマットの場合、例えばNTSC方式においては、符号化領域幅レジスタ7には $720/16=45$ 、MBライン数レジスタ8には $480/16=30$ 、水平MB数レジスタ15には45がそれぞれ設定される。

【0050】ピクチャ符号化が開始されると(ステップS1)、まず、MBライン数カウンタ10がリセットされる(ステップS2)。

【0051】その後、MB符号化が開始されると(ステップS3)、水平MB数カウンタ9がリセットされるとともに(ステップS4)、MBサイクル有効/無効レジ

12

スタ17が有効状態に設定される(ステップS5)。

【0052】ここで、MB符号化が開始されると、モードレジスタ6にて標準フォーマットが指定されているため、フィルタ3においては、入力された画像データが標準フォーマットの画像サイズに変換され、変換された画像データはメモリ4に書き込まれ、アドレス生成器11にて生成されたアドレスに基づいて、メモリ4内から読み出されて符号化器5に入力される。

【0053】次に、比較器12において、水平MB数カウンタ9において計測されたMB数と符号化領域幅レジスタ7に設定されたMB数とが比較され(ステップS6)、水平MB数カウンタ9において計測されたMB数が符号化領域幅レジスタ7に設定されたMB数以上である場合は、MBサイクル有効/無効レジスタ17が無効状態に設定される(ステップS7)。

【0054】一方、ステップS6における比較において、水平MB数カウンタ9において計測されたMB数が符号化領域幅レジスタ7に設定されたMB数よりも小さかった場合は、水平MB数カウンタ9における計測が引き続き行われる(ステップS8)。

【0055】ステップ7においてMBサイクル有効/無効レジスタ17が無効状態に設定された後、比較器16において、水平MB数カウンタ9において計測されたMB数と水平MB数レジスタ15に設定されたMB数とが比較され(ステップS9)、水平MB数カウンタ9において計測されたMB数が水平MB数レジスタ15に設定されたMB数と一致している場合は、そのMBラインの符号化処理が終了したことを示す信号(以下、MBライン終了信号と称する)が比較器16からホストCPU1、水平MB数カウンタ9及びMBライン数カウンタ10に対して出力される(ステップS10)。

【0056】一方、ステップS9における比較において、水平MB数カウンタ9において計測されたMB数が水平MB数レジスタ15に設定されたMB数と一致していなかった場合は、水平MB数カウンタ9における計測が引き続き行われる(ステップS11)。

【0057】ここで、標準フォーマットの符号化を行う場合は、水平MB数レジスタ15に設定されたMB数と符号化領域幅レジスタ7に設定されたMB数とは互いに等しいため、ステップS6における比較において水平MB数カウンタ9において計測されたMB数が符号化領域幅レジスタ7に設定されたMB数以上である場合は、水平MB数カウンタ9において計測されたMB数が水平MB数レジスタ15に設定されたMB数と一致していることになる。

【0058】次に、比較器13において、MBライン数カウンタ10において計測されたMBライン数とMBライン数レジスタ8に設定されたMBライン数とが比較され(ステップS12)、MBライン数カウンタ10において計測されたMBライン数がMBライン数レジスタ8

に設定されたMBライン数と一致している場合は、最も下位のMBラインまで符号化処理が行われたと判断され、MBサイクル有効/無効レジスタ17が無効状態に設定される(ステップS13)。

【0059】一方、ステップS12における比較において、MBライン数カウンタ10において計測されたMBライン数がMBライン数レジスタ8に設定されたMBライン数と一致していなかった場合は、MBライン数カウンタ10における計測が引き続き行われる(ステップS14)。

【0060】標準フォーマットにおいては、1枚のピクチャの符号化開始後、全MBの符号化処理が終了するまで、MBサイクル有効/無効レジスタ17は有効状態に設定されたまま変化せず、全MBの符号化処理が終了した後、無効状態に設定される。

【0061】上述したように、水平MB数レジスタ15に設定されたMB数に基づいてMBの符号化サイクルが制御され、それにより入力された画像データが符号化されるので、MBライン処理が終わったことを示すMBライン終了信号が、図3に示す標準フォーマットの時刻でホストCPU1に対して出力される。

【0062】符号化器5においては、ホストCPU1にて設定された量子化スケールを使用し、MBサイクル有効/無効レジスタ17の状態に基づいて、本来の符号化領域幅内にあったデータかどうかを判断しながら符号化処理が行われる。この場合、ピクチャの符号化開始後、符号化器5によって、ピクチャ内の全MBが連続して符号化される。

【0063】次に、水平1/2間引きフォーマットの画像を符号化する場合の動作について説明する。

【0064】符号化を開始する前にホストCPU1の制御によって、ホストバス14を介してモードレジスタ6が1/2間引きフォーマットモードに設定される。また、符号化領域幅レジスタ7に1/2間引きフォーマットの符号化領域のMB数が設定され、また、MBライン数レジスタ8に符号化する領域のMBライン数が設定され、また、水平MB数レジスタ15に標準フォーマットの1MBラインに含まれる総MB数が設定される。1/2間引きフォーマットの場合、例えばNTSC方式においては、符号化領域幅レジスタ7には $352/16=22$ 、MBライン数レジスタ8には $480/16=30$ 、水平MB数レジスタ15には標準フォーマットの1MBラインに含まれる総MB数である45がそれぞれ設定される。

【0065】ピクチャ符号化が開始されると(ステップS1)、まず、MBライン数カウンタ10がリセットされる(ステップS2)。

【0066】その後、MB符号化が開始されると(ステップS3)、水平MB数カウンタ9がリセットされるとともに(ステップS4)、MBサイクル有効/無効レジ

スタ17が有効状態に設定される(ステップS5)。

【0067】ここで、MB符号化が開始されると、モードレジスタ6にて標準フォーマットが指定されているため、フィルタ3においては、入力された画像データが標準フォーマットの画像サイズに変換され、変換された画像データはメモリ4に書き込まれ、アドレス生成器11にて生成されたアドレスに基づいて、メモリ4内から読み出されて符号化器5に入力される。

【0068】次に、比較器12において、水平MB数カウンタ9において計測されたMB数と符号化領域幅レジスタ7に設定されたMB数とが比較され(ステップS6)、水平MB数カウンタ9において計測されたMB数が符号化領域幅レジスタ7に設定されたMB数以上である場合は、MBサイクル有効/無効レジスタ17が無効状態に設定される(ステップS7)。

【0069】一方、ステップS6における比較において、水平MB数カウンタ9において計測されたMB数が符号化領域幅レジスタ7に設定されたMB数よりも小さかった場合は、水平MB数カウンタ9における計測が引き続き行われる(ステップS8)。

【0070】ステップ7においてMBサイクル有効/無効レジスタ17が無効状態に設定された後、比較器16において、水平MB数カウンタ9において計測されたMB数と水平MB数レジスタ15に設定されたMB数とが比較され(ステップS9)、水平MB数カウンタ9において計測されたMB数が水平MB数レジスタ15に設定されたMB数と一致している場合は、そのMBラインの符号化処理が終了したことを示すMBライン終了信号が比較器16からホストCPU1、水平MB数カウンタ9及びMBライン数カウンタ10に対して出力される(ステップS10)。なお、アドレス生成器9においては、画像フォーマットによらずにアドレスが生成されているため、MBサイクル有効/無効レジスタ17が無効状態である場合は、メモリ4からは無効なMBデータが出力され、符号化器5に入力される。

【0071】一方、ステップS9における比較において、水平MB数カウンタ9において計測されたMB数が水平MB数レジスタ15に設定されたMB数と一致していなかった場合は、水平MB数カウンタ9における計測が引き続き行われる(ステップS11)。

【0072】ここで、1/2間引きフォーマットの符号化を行う場合においては、符号化領域幅レジスタ7に設定されたMB数が水平MB数レジスタ15に設定されたMB数の約1/2であるため、標準フォーマットの符号化を行う場合のように、水平MB数カウンタ9において計測されたMB数と水平MB数レジスタ15に設定されたMB数とは一致しない。

【0073】次に、比較器13において、MBライン数カウンタ10において計測されたMBライン数とMBライン数レジスタ8に設定されたMBライン数とが比較さ



15

れ(ステップS12)、MBライン数カウンタ10において計測されたMBライン数がMBライン数レジスタ8に設定されたMBライン数と一致している場合は、最も下位のMBラインまで符号化処理が行われたと判断され、MBサイクル有効/無効レジスタ17が無効状態に設定される(ステップS13)。

【0074】一方、ステップS12における比較において、MBライン数カウンタ10において計測されたMBライン数がMBライン数レジスタ8に設定されたMBライン数と一致していなかった場合は、MBライン数カウンタ10における計測が引き続き行われる(ステップS14)。

【0075】水平1/2間引きフォーマットにおいては、MBサイクル有効/無効レジスタ17が、1枚のビクチャの符号化開始後、1MBラインの処理時間の有効MBの間は有効状態、それに続く無効MBの間は無効状態に設定される。

【0076】上述したように、水平MB数レジスタ15に設定されたMB数に基づいてMBの符号化サイクルが制御され、それにより入力された画像データが符号化されるので、水平1/2間引きフォーマットの符号化を行う場合においても、MBライン処理が終わったことを示すMBライン終了信号が、図3に示すように、標準フォーマットの符号化を行う場合と同じ時刻にホストCPU1に対して出力される。

【0077】符号化器5においては、ホストCPU1にて設定された量子化スケールを使用し、MBサイクル有効/無効レジスタ17の状態に基づいて、本来の符号化領域幅内にあったデータかどうかを判断しながら符号化処理が行われる。この場合、MBサイクル有効/無効レジスタ17が有効状態であればMBの符号化処理が行われ、MBサイクル有効/無効レジスタ17が無効状態であればそのMBの符号化処理は行われない。

【0078】以上のように符号化処理を行うことにより、図3に示すように、ホストCPU1におけるMBライン処理時間が標準フォーマットと同じものとなる。

【0079】以下に、ホストCPU1における回路全体の制御について説明する。

【0080】入力された画像データは、フィルタ3、メモリ4及び符号化器5を介してビデオストリームに圧縮され、多重化回路2に入力される。ホストCPU1においてはヘッダ情報が作成され、作成されたヘッダ情報は、ホストバス14を介して多重化回路2に入力される。

【0081】多重化回路2においては、ホストCPU1にて作成されたヘッダ情報と外部から入力されるオーディオストリームと符号化器5から出力されたビデオストリームとが合成され、ストリーム出力が得られる。

【0082】このように、多重化回路2はホストバス14を介してホストCPU1によって制御されている。

16

【0083】ホストCPUにおける処理の具体例としては、1995年電子情報通信学会情報・システムソサイエティ大会での「D-126 PS/TSに対応したMPEG-2システムレイヤの開発」に記載された多重化処理がある。

【0084】以下に、MBライン終了信号がホストCPU1に対して出力された際のホストCPU1の動作について説明する。

【0085】図4は、図1に示した画像符号化制御回路にてMBライン終了信号がホストCPU1に対して出力された際のホストCPU1の動作を説明するためのフローチャートである。

【0086】比較器16からホストCPU1に対してMBライン終了信号が出力されると(ステップS21)、まず、次に符号化するMBラインにおける目標符号量が計算される(ステップS22)。

【0087】次に、ホストバス14を介して、多重化回路2内に設けられたビデオFIFO(不図示)に格納されたこれまでのMBラインまでの発生符号量が読み出される(ステップS23)。

【0088】次に、ステップS23にて読み出された発生符号量とステップS22にて計算された目標符号量とが比較され、その比較結果に基づいて量子化スケールが計算され、更新される(ステップS24)。なお、量子化スケールの計算は、例えば以下に示す数式に基づいて行われる。

【0089】 $Q = Q_0 + d \times 31 / r$  ( $Q_{min} < Q_0 + d \times 31 / r < Q_{max}$ )

$Q = Q_{min}$  ( $Q_{min} \geq Q_0 + d \times 31 / r$ )

$Q = Q_{max}$  ( $Q_{max} \leq Q_0 + d \times 31 / r$ )

発生符号量が目標符号量よりも大きな場合には、量子化スケールQを大きくし、発生符号量を減らす方向に設定する。逆に、発生符号量が目標符号量よりも小さな場合は、量子化スケールQを小さくし、発生符号量を増やす方向に設定する。

【0090】このようにして、ホストCPU1において、ホストバス14を介して符号化器5に対して変更された量子化スケールQが設定され、符号量制御が行われる。

【0091】なお、上述したような符号量制御においては、ホストCPU1内のソフトウェアによって実現される。

【0092】(第2の実施の形態)図5は、本発明の画像符号化制御回路の第2の実施の形態を示すブロック図である。

【0093】図5に示すように本形態においては、符号化器20内に、動きベクトル検出を行うMEブロック21と、離散コサイン変換/逆離散コサイン変換及び量子化/逆量子化を行うDCT・Qブロック22と、可変長符号化を行うVLCブロック23との3つの処理ブロッ

17

クが設けられており、さらに、MEブロック21、DCT・Qブロック22及びVLCブロック23のそれぞれにMBサイクル有効/無効レジスタ17a~17cが接続されており、符号化器20における符号化処理がパイプライン処理とされている。なお、その他の構成においては、第1の実施の形態において示したものと同様である。

【0094】以下に、上記のように構成された画像符号化制御回路の符号化器20内の動作について説明する。

【0095】まず、MEブロック21にメモリ4から画像データが入力される。すると、MEブロック21に接続されたMBサイクル有効/無効レジスタ17aによってMEブロック21の画像データの有効または無効状態が判断され、画像データの処理が行われる。なお、有効または無効状態における画像データの処理については、第1の実施の形態において示したものと同様である。

【0096】MEブロック21において1つのMBラインの画像データの処理が終了すると、MEブロック21において処理されたMBラインの画像データがDCT・Qブロック22に送られる。すると、DCT・Qブロック22に接続されたMBサイクル有効/無効レジスタ17bによってDCT・Qブロック22の画像データの有効または無効状態が判断され、画像データの処理が行われる。

【0097】同時に、MEブロック21においては、次のMBラインの画像データが入力され、上記同様に処理される。

【0098】DCT・Qブロック22において1つのMBラインの画像データの処理が終了すると、DCT・Qブロック22において処理されたMBラインの画像データがVLCブロック23に送られる。すると、VLCブロック23に接続されたMBサイクル有効/無効レジスタ17cによってVLCブロック23の画像データの有効または無効状態が判断され、画像データの処理が行われる。

【0099】同時に、DCT・Qブロック22においては、MEブロック21において処理されたMBラインの画像データが入力され、上記同様に処理される。

【0100】このように、MEブロック21、DCT・Qブロック22及びVLCブロック23における処理がMB毎にパイプライン処理され、それにより、符号化器20における符号化時間が短縮される。

【0101】

【発明の効果】以上説明したように本発明は、1つのマクロブロックラインの符号化が終了した場合においても、第1のカウンタにて計測されたマクロブロック数が標準フォーマットの1つのマクロブロックラインの画像データを符号化するために必要となる時間で符号化されるマクロブロック数と等しくなるまで次のマクロブロックラインの符号化が行われないうに構成されているた

18

め、画像サイズによらずにマクロブロックラインの符号化のサイクルが一定となり、水平1/2間引きフォーマットの符号化を行う場合においても、マクロブロックラインの符号化のサイクルが短くなるということがなく、それにより、水平1/2間引きフォーマットの符号化を行う場合においても、ホストCPUにて必要な処理を全て行うことができる。

【0102】また、水平1/2間引きフォーマットの符号化を行う場合、ホストCPUの負荷を1フレームサイクル内で平坦化することができるため、ホストCPUに処理速度(MIPS値)の低い安価なCPUを用いた場合においても、回路全体の制御が可能となる。

【図面の簡単な説明】

【図1】本発明の画像符号化制御回路の第1の実施の形態を示すブロック図である。

【図2】図1に示した画像符号化制御回路の動作を説明するためのフローチャートである。

【図3】図2に示した動作のタイミングを示す図である。

【図4】図1に示した画像符号化制御回路にてMBライン終了信号がホストCPUに対して出力された際のホストCPUの動作を説明するためのフローチャートである。

【図5】本発明の画像符号化制御回路の第2の実施の形態を示すブロック図である。

【図6】従来の画像符号化制御回路の一構成例を示すブロック図である。

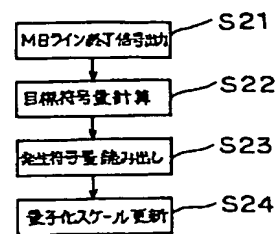
【図7】図6に示した画像符号化制御回路における処理のタイミングを示す図である。

【符号の説明】

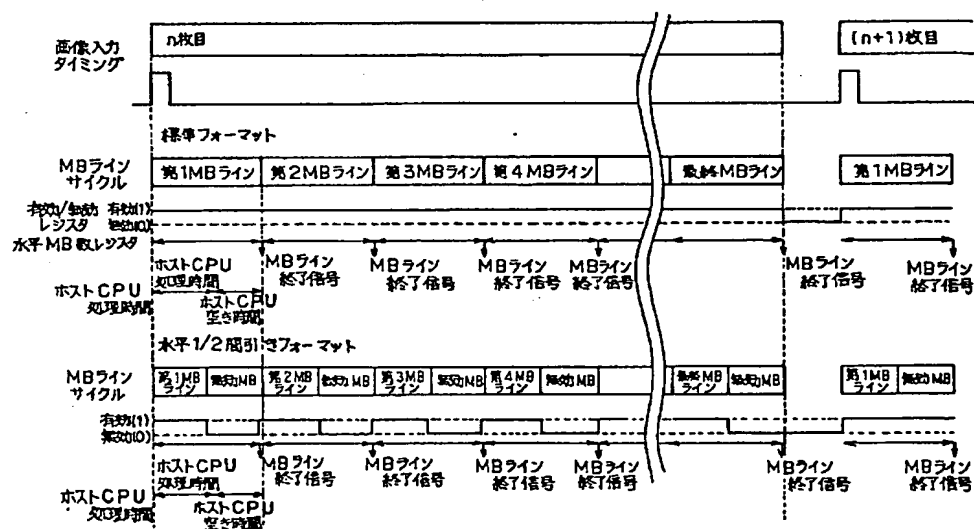
- 1    ホストCPU
- 2    多重化回路
- 3    フィルタ
- 4    メモリ
- 5, 20    符号化器
- 6    モードレジスタ
- 7    符号化領域幅レジスタ
- 8    MBライン数レジスタ
- 9    水平MB数カウンタ
- 10    MBライン数カウンタ
- 11    アドレス生成器
- 12, 13, 16    比較器
- 14    ホストバス
- 15    水平MB数レジスタ
- 17, 17a~17c    MBサイクル有効/無効レジスタ
- 21    MEブロック
- 22    DCT・Qブロック
- 23    VLCブロック

50

【図 4】



【図 3】



【図2】

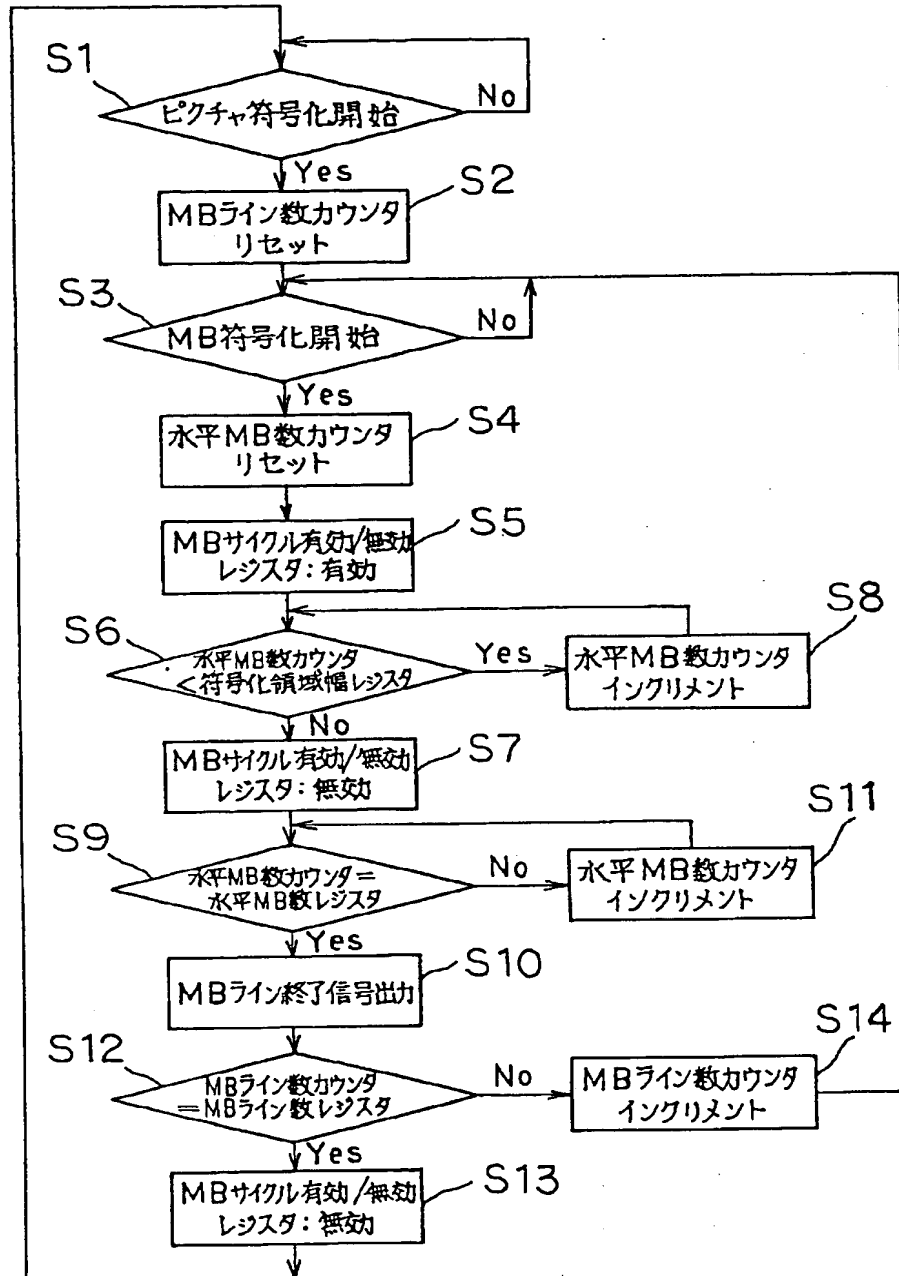


Figure 1 is a block diagram of a video signal processing system. The system includes the following components and connections:

- 1** Host CPU: Connected to the Host Bus (14) and the Mode Register (6).
- 2** Multiplexing Circuit (多重化回路): Receives an Audio Stream (オーディオストリーム) and outputs a Stream Output (ストリーム出力). It is connected to the Host Bus (14) and the Multiplexing Control Register (17).
- 3** Filter (フィルタ): Receives Video Input (画像入力) and outputs to Memory (4). It is connected to the Mode Register (6).
- 4** Memory (メモリ): Connected to the Filter (3) and the Address Generator (10). It outputs to the Multiplexing Circuit (2).
- 5** Host Bus (14): Connects the Host CPU (1) to the Host Register (8), Horizontal Line Counter (15), Symbolization Area Limit Register (7), Multiplexing Control Register (17), and the Multiplexing Circuit (2).
- 6** Mode Register (モードレジスタ): Connected to the Host CPU (1) and the Filter (3).
- 7** Symbolization Area Limit Register (符号化領域幅レジスタ): Connected to the Host CPU (1) and the Multiplexing Control Register (17).
- 8** Host Register (MBライン数レジスタ): Connected to the Host CPU (1) and the Horizontal Line Counter (15).
- 9** Horizontal Line Counter (水平MB数カウンタ): Connected to the Host Register (8) and the Address Generator (10).
- 10** Address Generator (アドレス生成器): Connected to the Horizontal Line Counter (9) and the Memory (4).
- 11** Multiplexing Control Register (MBライン幅レジスタ): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 12** Multiplexing Control Register (水平MB数カウンタ): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 13** Multiplexing Control Register (比較器): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 14** Multiplexing Control Register (比較器): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 15** Horizontal Line Counter (水平MB数レジスタ): Connected to the Host CPU (1) and the Address Generator (10).
- 16** Multiplexing Control Register (比較器): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 17** Multiplexing Control Register (MBライン幅レジスタ): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 18** Multiplexing Control Register (比較器): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 19** Multiplexing Control Register (比較器): Connected to the Host CPU (1) and the Multiplexing Circuit (2).
- 20** Symbolization Circuit (符号化器): Receives data from the Memory (4) and outputs to the Multiplexing Circuit (2). It contains sub-components 17a, 17b, 17c, 21, 22, and 23.

[illegible]

【図 7】

